

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
8 mars 2001 (08.03.2001)

PCT

(10) Numéro de publication internationale
WO 01/17033 A1

(51) Classification internationale des brevets⁷:
H01L 31/0203, 33/00

(71) Déposant (pour tous les États désignés sauf US): STMI-
CROELECTRONICS S.A. [FR/FR]; 7, avenue Galliéni,
F-94250 Gentilly (FR).

(21) Numéro de la demande internationale:
PCT/FR00/02367

(72) Inventeur; et

(22) Date de dépôt international: 24 août 2000 (24.08.2000)

(75) Inventeur/Déposant (pour US seulement): BO BENTO
VIEIRA, Antonio [PT/FR]; Chez M. et Mme Lemoine, 3,
rue de la Place, F-55230 Vaudoncourt (FR).

(25) Langue de dépôt: français

(26) Langue de publication: français

(74) Mandataire: BUREAU D.A. CASALONGA-JOSSE; 8,
avenue Percier, F-75008 Paris (FR).

(30) Données relatives à la priorité:

99/11024

2 septembre 1999 (02.09.1999)

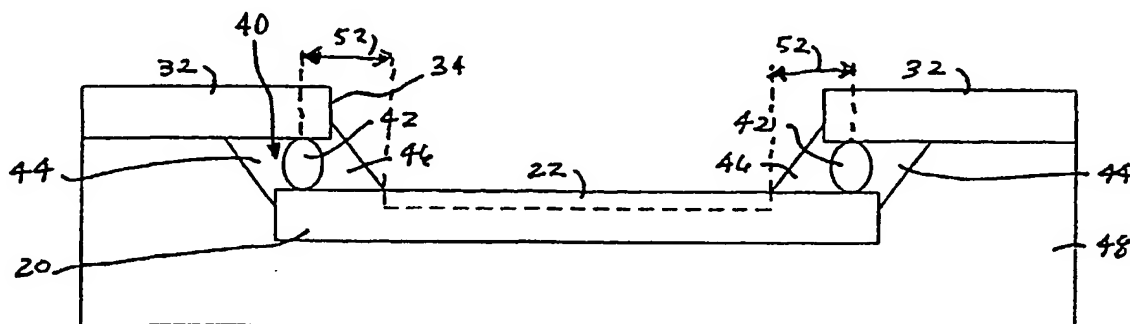
FR

(81) États désignés (national): JP, US.

[Suite sur la page suivante]

(54) Title: METHOD FOR PACKAGING A SEMICONDUCTOR CHIP CONTAINING SENSORS AND RESULTING PACK-
AGE

(54) Titre: PROCEDE DE MISE EN BOITIER D'UNE PUCE DE SEMI-CONDUCTEUR CONTENANT DES CAPTEURS ET
BOITIER OBTENU



(57) Abstract: The invention concerns a method for producing a package (30) for a semiconductor chip comprising a semiconductor chip (20) comprising one or several bond pads on the top surface for providing terminals for one or several sensors (22) in the upper surface and a chip carrier (32) comprising an opening (34) and one or several external terminals. The semiconductor chip (20) upper surface is fixed to the chip carrier (32) lower surface such that the sensor(s) (22) are arranged beneath the first opening (34) and an interface zone (40) is formed, wherein the semiconductor chip (20) upper surface extends beyond the first opening (34) in the chip carrier (32) and each bond pad is coupled to a portion of the external terminals exposed at the chip carrier (32) lower surface for example with weld points (42). A sealing ring (44, 46) encapsulates the interface zone (40) and a coating material (48) encapsulates the chip carrier (32) lower surface and a lower surface of the semiconductor chip (20).

(57) Abrégé: Le procédé produit un boîtier (30) pour puce de semi-conducteur comprenant une puce de semi-conducteur (20) présentant une ou plusieurs plages de connexion sur une surface supérieure en vue de procurer des bornes à un ou plusieurs capteurs (22) dans la surface supérieure et un porte-puce (32) présentant une ouverture (34) et une ou plusieurs bornes extérieures. La surface supérieure de la puce de semi-conducteur (20) est fixée à la surface inférieure du porte-puce (32) de telle sorte que le ou les capteurs (22) soient disposés sous la première ouverture (34) et qu'une zone d'interface (40) soit formée, dans laquelle la surface supérieure de la puce de semi-conducteur (20) se prolonge au-delà de la première ouverture (34) dans le porte-puce (32) et que chaque plage de connexion soit couplée à une portion d'une des bornes extérieures exposée sur la surface inférieure du porte-puce (32) par exemple par des gouttes de soudure (42). Un anneau d'étanchéité (44, 46) encapsule la zone d'interface (40) et un matériau d'enrobage (48) encapsule la surface inférieure du porte-puce (32) et une surface inférieure de la puce de semi-conducteur (20).

WO 01/17033 A1



(84) États désignés (*régional*): brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

Publiée:

— Avec rapport de recherche internationale.

Procédé de mise en boîtier d'une puce
de semi-conducteur contenant des capteurs
et boîtier obtenu

La présente invention concerne de façon générale la mise en boîtier de puces de semi-conducteur et, plus particulièrement, un procédé de mise en boîtier d'une puce de semi-conducteur contenant un ou plusieurs capteurs et un boîtier en particulier issu de ce procédé.

Sans limiter le cadre de la présente invention, l'arrière-plan de la présente invention est décrit en connexion avec la mise en boîtier de puces de semi-conducteur contenant un ou plusieurs capteurs optiques, lesquels peuvent être des capteurs quelconques conçus pour détecter tout spectre de lumière, y compris l'infrarouge. Par conséquent, la présente invention peut s'appliquer à la mise en boîtier de toute puce de semi-conducteur contenant un ou plusieurs capteurs, comme des capteurs d'empreintes digitales, où les techniques et matériaux traditionnels de mise en boîtier réduisent l'efficacité des capteurs.

Les puces de semi-conducteur ou les circuits intégrés contenant des capteurs optiques doivent, contrairement à la plupart des puces de semi-conducteur, être mis en boîtier de manière à permettre à la lumière d'entrer au contact des capteurs optiques et des capteurs de mouvement, tout en protégeant néanmoins ces capteurs de la contamination ambiante. Il en va de même pour les capteurs infrarouges, comme ceux utilisés sur des capteurs d'empreintes digitales à circuits intégrés. De ce fait, les performances et la sensibilité des capteurs optiques et autres peuvent être considérablement réduites par les contaminants et l'humidité introduits au cours du processus de mise en boîtier, ou par des contaminants, bulles d'air, irrégularités et difformités dans le matériau d'enrobage proprement dit.

Par ailleurs, certains boîtiers pour puces de semi-conducteur contenant des capteurs utilisent une résine plastique ou une résine époxy transparente.

L'utilisation d'une résine plastique ou d'une résine époxy transparente introduit toutefois des problèmes supplémentaires. En premier lieu, il n'est pas possible d'utiliser les agents les plus couramment utilisés pour faciliter le moulage du boîtier et renforcer la fiabilité du

boîtier. En second lieu, ces matériaux transparents sont plus difficiles à manipuler et à nettoyer hors des moules. En troisième lieu, ces matériaux sont plus coûteux et nécessitent des temps de durcissement prolongés (de deux à trois fois celui d'un boîtier normal).

5 Il existe par conséquent un besoin vis-à-vis d'un procédé de mise en boîtier de puces de semi-conducteur contenant un ou plusieurs capteurs qui soit durable, économique, rentable et efficace. De façon plus spécifique, le boîtier ne devrait pas gêner de manière significative les performances des capteurs, tout en protégeant les capteurs des corps
10 étrangers et des contaminants.

La présente invention a tout d'abord pour objet un procédé de mise en boîtier d'une puce de semi-conducteur, qui comprend les étapes de fixation d'une surface d'une puce de semi-conducteur sur une surface d'un porte-puce présentant des bornes ou connexions externes de sortie,
15 de telle sorte que ce porte-puce ne s'étende pas devant un ou plusieurs capteurs prévus dans la surface supérieure de la puce de semi-conducteur et qu'une ou plusieurs plages de connexion sur la surface supérieure de la puce de semi-conducteur soient couplées à une ou plusieurs plages de connexion dudit porte-puce, dans une zone d'interface annulaire formée
20 entre la surface supérieure de la puce de semi-conducteur et une surface dudit porte-puce ; d'encapsulation de ladite zone d'interface à l'aide d'un anneau d'étanchéité ; et d'encapsulation de la surface inférieure du porte-puce et une surface inférieure de la puce de semi-conducteur à l'aide d'un matériau d'enrobage.

25 Selon une variante d'exécution de l'invention, le procédé comprend les étapes de : fixation d'une surface supérieure d'une puce de semi-conducteur sur une surface inférieure d'un porte-puce de telle sorte qu'un ou plusieurs capteurs dans la surface supérieure de la puce de semi-conducteur soient disposés sous une première ouverture dans le porte-
30 puce plus grande que le ou les capteurs, mais plus petite que la puce de semi-conducteur, et qu'une zone d'interface soit formée entre ladite puce et ledit porte-puce, dans laquelle la surface supérieure de la puce de semi-conducteur se prolonge au-delà de la première ouverture dans le porte-puce et qu'une ou plusieurs plages de connexion sur la surface supérieure
35 de la puce de semi-conducteur soient couplées à une ou de plusieurs

bornes extérieures de la surface inférieure du porte-puce ; durcissement de la puce de semi-conducteur fixée au porte-puce ; encapsulation de la zone d'interface à l'aide d'un anneau d'étanchéité ; durcissement de l'anneau d'étanchéité ; encapsulation de la surface inférieure du porte-puce et une surface inférieure de la puce de semi-conducteur à l'aide d'un matériau d'enrobage ; et durcissement du matériau d'enrobage.

Selon l'invention, le procédé peut avantageusement comprendre les étapes de: encapsulation de la portion extérieure de la zone d'interface à l'aide d'un premier anneau d'étanchéité ; durcissement du premier anneau d'étanchéité ; encapsulation de la surface inférieure du porte-puce et une surface inférieure de la puce de semi-conducteur à l'aide d'un matériau d'enrobage ; durcissement du matériau d'enrobage ; encapsulation d'une portion intérieure de la zone d'interface à l'aide d'un deuxième anneau d'étanchéité ; et durcissement du deuxième anneau d'étanchéité.

Selon une autre variante de réalisation de l'invention, le procédé comprend les étapes de: fixation d'une surface inférieure d'une puce de semi-conducteur sur une surface supérieure d'une zone en retrait d'un cadre préimprimé, la zone en retrait étant plus grande que la puce de semi-conducteur, la puce de semi-conducteur présentant une ou plusieurs plages de connexion sur une surface supérieure en vue de procurer des bornes à un ou plusieurs capteurs dans la surface supérieure, et le cadre préimprimé présentant une ou plusieurs sorties par fils ; durcissement de la puce de semi-conducteur fixée au cadre préimprimé ; formation d'un barrage pour entourer la zone en retrait afin d'empêcher qu'un matériau d'enrobage ne pénètre dans la zone en retrait ; durcissement du barrage ; formation de connexions par fils en vue de coupler chaque plage de connexion à une portion d'une des sorties par fils proche de la zone en retrait ; encapsulation des connexions par fils à l'aide d'un anneau d'étanchéité ; durcissement du matériau d'étanchéité ; encapsulation de la surface inférieure du cadre préimprimé et encapsulation substantielle du couvercle à l'aide du matériau d'enrobage ; et durcissement du matériau d'enrobage.

Selon l'invention, le procédé peut avantageusement comprendre en outre une étape d'application d'une couche protectrice sur le ou les

capteurs de la puce de semi-conducteur.

Selon l'invention, le procédé peut avantageusement comprendre en outre la fixation d'un couvercle présentant une deuxième ouverture plus grande que les capteurs de la puce de semi-conducteur, le couvercle étant attaché à la surface supérieure du porte-puce et l'encapsulation substantielle du couvercle à l'aide du matériau d'enrobage.

La présente invention a également pour objet un boîtier pour puce de semi-conducteur, qui comprend une puce de semi-conducteur présentant une ou plusieurs plages de connexion sur une surface supérieure en vue de fournir des bornes à un ou plusieurs capteurs, en particulier optiques, prévus dans cette surface supérieure ; un porte-puce qui ne s'étend pas devant lesdits capteurs et qui est muni d'une ou plusieurs plages de connexion comprenant des bornes de connexion et muni de connexions externes de sortie, les plages de connexion dudit porte-puce et les plages de connexion de ladite puce déterminant entre elles une zone d'interface annulaire et étant couplées dans cette zone ; un anneau d'étanchéité encapsulant ladite zone d'interface ; et un matériau d'enrobage encapsulant la surface inférieure du porte-puce et une surface inférieure de la puce de semi-conducteur.

Selon l'invention, le boîtier peut avantageusement comprendre un porte-puce présentant une première ouverture qui est plus grande que le ou les capteurs, mais plus petite que la puce de semi-conducteur, et une ou plusieurs bornes extérieures ; la surface supérieure de la puce de semi-conducteur étant fixée à la surface inférieure du porte-puce de telle sorte que le ou les capteurs soient disposés sous la première ouverture et qu'une zone d'interface soit formée, dans laquelle la surface supérieure de la puce de semi-conducteur se prolonge au-delà de la première ouverture dans le porte-puce et que chaque plage de connexion soit couplée à une portion d'une des bornes extérieures exposée sur la surface inférieure du porte-puce ; un anneau d'étanchéité encapsulant la zone d'interface ; et un matériau d'enrobage encapsulant la surface inférieure du porte-puce et une surface inférieure de la puce de semi-conducteur.

Selon l'invention, l'anneau d'étanchéité peut avantageusement comprendre un premier anneau d'étanchéité extérieur et un deuxième anneau d'étanchéité intérieur.

Selon l'invention, chaque plage de connexion peut avantageusement être couplée à une des plages extérieures de la surface inférieure du porte-puce, à l'aide d'une perle de soudure.

5 Selon l'invention, le porte-puce peut avantageusement comprendre un substrat et chaque borne externe comprend une plage de connexion formée sur une surface supérieure du substrat.

Selon l'invention, le porte-puce peut avantageusement comprendre un cadre préimprimé et chaque borne externe comprend une sortie par fil.

10 Selon l'invention, le boîtier peut avantageusement comprendre un cadre préimprimé présentant une zone en retrait qui est plus grande que la puce de semi-conducteur et une ou plusieurs sorties par fils ; une surface inférieure de la puce de semi-conducteur étant fixée à une surface supérieure de la zone en retrait du cadre préimprimé ; une connexion par
15 fil couplant chaque plage de connexion à une portion d'une des bornes extérieures proche de la zone en retrait ; un barrage entourant la zone en retrait afin d'empêcher qu'un matériau d'enrobage ne pénètre dans la zone en retrait ; un matériau d'étanchéité encapsulant chaque connexion par fil ; et un matériau d'enrobage encapsulant la surface inférieure du cadre
20 préimprimé.

Selon l'invention, le boîtier peut avantageusement comprendre en outre un couvercle présentant une deuxième ouverture de taille similaire à la première ouverture, le couvercle étant fixé à la surface supérieure du cadre préimprimé à fils et le matériau d'enrobage
25 encapsulant substantiellement ce couvercle.

Selon l'invention, ledit anneau d'étanchéité et/ou ledit matériau d'enrobage peuvent avantageusement comprendre un matériau à base d'époxy thixotrope.

30 Selon l'invention, le ou les capteurs sont de préférence recouverts d'une couche protectrice.

Selon l'invention, le boîtier peut avantageusement comprendre en outre un matériau d'encapsulation transparent dans la première ouverture et sur la surface supérieure de la puce de semi-conducteur.

35 Selon l'invention, le boîtier peut avantageusement comprendre en outre une lentille disposée au-dessus du ou des capteurs.

Les avantages ci-dessus, ainsi que d'autres, de l'invention seront mieux compris en se référant à la description suivante, conjointement aux dessins annexés, dans lesquels :

5 - les figures 1A-1C illustrent une vue de dessus d'une puce de semi-conducteur dotée d'un ou de plusieurs capteurs conformément à la présente invention ;

 - la figure 2 illustre une vue de dessus d'un boîtier pour une puce de semi-conducteur dotée d'un ou de plusieurs capteurs conformément à un premier mode de réalisation de la présente invention ;

10 - la figure 3 illustre une vue en coupe transversale du boîtier illustré à la figure 2 conformément au premier mode de réalisation de la présente invention ;

 - les figures 4A-4D illustrent, dans des vues en coupe transversale, le procédé de fabrication du boîtier illustré aux figures 2 et 3 conformément au premier mode de réalisation de la présente invention ;

15 - les figures 5A-5F illustrent, dans des vues en coupe transversale, le procédé de fabrication d'un boîtier pour une puce de semi-conducteur dotée d'un ou de plusieurs capteurs conformément à un deuxième mode de réalisation de la présente invention ; et

20 - les figures 6A-6F illustrent, dans des vues en coupe transversale, le procédé de fabrication d'un boîtier pour une puce de semi-conducteur dotée d'un ou de plusieurs capteurs conformément à un troisième mode de réalisation de la présente invention.

25 Bien que la mise au point et l'utilisation de divers modes de réalisation de la présente invention soient présentées en détail ci-dessous, on sera conscient du fait que la présente invention procure un grand nombre de concepts inventifs applicables susceptibles d'être mis en oeuvre dans une grande diversité de contextes spécifiques. Les modes de réalisation spécifiques présentés dans les présentes illustrent uniquement

30 des voies spécifiques de mise au point et d'utilisation de l'invention et ne limitent en aucun cas le cadre de l'invention.

 Les descriptions à suivre des figures présentent des procédés de mise en boîtier de puces de semi-conducteur contenant des capteurs dont la fonctionnalité et la fiabilité dépendent des caractéristiques

35 fondamentales de la lumière se propageant vers et depuis le dispositif. De

plus, les procédés de mise en boîtier décrits ci-dessous peuvent tout aussi bien être appliqués à d'autres types de capteurs, comme les capteurs d'empreintes digitales. Bien que la discussion soit centrée sur des fixations par puces à bosses ou par connexions par fils, son but n'est pas de limiter le cadre de l'invention à ces configurations, dans la mesure où le procédé de mise en boîtier peut être utilisé pour toute configuration de fixations de puces. Par ailleurs, des lentilles ou autres éléments de focalisation ou de filtrage peuvent être aisément ajoutés aux boîtiers décrits ci-dessous.

Si l'on se tourne à présent vers la figure 1A, une vue de dessus d'une puce de semi-conducteur 20 présentant un agencement en quatre rangées de plages de connexion est illustrée et va être à présent décrite. La puce de semi-conducteur 20 présente une zone 22 de capteurs qui contient un ou plusieurs capteurs (non illustrés), et une ou plusieurs plages de connexion 24. Le ou les capteurs (non illustrés) sont typiquement des capteurs optiques ou des capteurs conçus pour détecter tout spectre de lumière, y compris l'infrarouge. Le ou les capteurs (non illustrés) peuvent également être des capteurs d'empreintes digitales ou un autre type quelconque de capteur non optique. La zone 22 de capteurs peut toutefois également contenir de la circuiterie supplémentaire (non illustrée), comme des circuits de commande, de mémoire, de traitement ou d'autres circuits non capteurs. Les plages de connexion 24 sont situées entre la zone 22 de capteurs et le périmètre de la puce de semi-conducteur 20, et fournissent des bornes au ou aux capteurs (non illustrés) contenues dans la zone 22 de capteurs. Les plages de connexion 24 peuvent être agencées selon un agencement en quatre rangées de plages de connexion (figure 1A), un agencement en deux rangées de plages de connexion 26 (figure 1B) ou un agencement en une seule rangée de plages de connexion 28 (figure 1C). Dans tous les cas, le nombre et la configuration des plages de connexion 24 sur la puce de semi-conducteur 20 peuvent varier et ne sont pas limités par les figures 1A, 1B et 1C.

Si l'on se réfère à présent à la figure 2, une vue de dessus d'un boîtier pour une puce de semi-conducteur contenant un ou plusieurs capteurs conformément à un premier mode de réalisation de la présente invention est désignée généralement par 30 et va être à présent décrite. Le

boîtier 30 comprend une puce de semi-conducteur 20 fixée à un porte-puce ou substrat 32. La puce de semi-conducteur 20 présente une ou plusieurs plages de connexion 24 sur la surface supérieure dans un agencement en quatre rangées de plages de connexion. Comme mentionné précédemment en référence aux figures 1A, 1B et 1C, le nombre et la configuration des
5 plages de connexion 24 peuvent varier. Le substrat 32 présente une ouverture 34 qui est plus grande que la zone 22 de capteurs, mais plus petite que la puce de semi-conducteur 20 et le ou les plages de connexion 24. L'ouverture 34 se prolonge entièrement à travers le substrat 32.

10 La surface supérieure de la puce de semi-conducteur 20 est fixée à la surface inférieure du substrat 32 de telle sorte que la zone 22 de capteurs soit disposée sous l'ouverture 34 et qu'une zone d'interface 40 (figure 3) soit formée, dans laquelle la surface supérieure de la puce de semi-conducteur 20 se prolonge au-delà de l'ouverture 34 dans le substrat
15 32 et que chaque plage de connexion 24 soit couplée à l'une des bornes externes 36 à l'aide d'une perle de soudure 42 (figure 3).

Si l'on se réfère à présent à la figure 3, une vue en coupe transversale du boîtier illustré à la figure 2 est illustrée. Comme décrit précédemment, le boîtier 30 comprend une puce de semi-conducteur 20
20 fixée à un substrat 32. La puce de semi-conducteur 20 présente une zone 22 de capteurs qui est de préférence recouverte d'une couche protectrice 38. Le substrat 32 présente une ouverture 34 qui est plus grande que la zone 22 de capteurs, mais plus petite que la puce de semi-conducteur 20 et le ou les plages de connexion 24 (figure 2). L'ouverture 34 se prolonge entièrement
25 à travers le substrat 32.

La surface supérieure de la puce de semi-conducteur 20 est fixée à la surface inférieure du substrat 32 de telle sorte que la zone 22 de capteurs soit disposée sous l'ouverture 34 et qu'une zone d'interface annulaire 40 soit formée, dans laquelle la surface supérieure de la puce de
30 semi-conducteur 20 se prolonge au-delà de l'ouverture 34 dans le substrat 32 et que chaque plage de connexion 24 soit couplée à l'une des bornes externes 36 à l'aide d'une perle de soudure 42. Les bornes externes 36 sont stratégiquement placées par-dessus la surface supérieure du substrat 32 afin de fournir une connexion physique avec les plages de connexion 24
35 une fois que les perles de soudure 42 ont fait l'objet d'une refusion.

La zone d'interface 40 est encapsulée à l'aide d'un anneau d'étanchéité, qui peut être appliqué dans un processus en deux étapes, en vue de former un premier anneau d'étanchéité 44 et un deuxième anneau d'étanchéité 46. La configuration à un seul anneau d'étanchéité peut être
5 utilisée lorsque les perles de soudure 42 peuvent être encapsulées sans donner lieu à une dégradation des performances requises vis-à-vis des cycles/chocs thermiques, comme dans les situations à coût réduit dans lesquelles une fiabilité réduite est acceptable. La configuration à deux anneaux d'étanchéité améliore toutefois la fiabilité. Le premier anneau
10 d'étanchéité 44 fournit une bonne définition mécanique de la zone 22 de capteurs exposée qui donne lieu à une précision, une répétabilité et une reproductibilité mécaniques. Le deuxième anneau d'étanchéité 46 fournit une meilleure fiabilité en termes de performances vis-à-vis des cycles/chocs thermiques et empêche les mécanismes de défaillance
15 provoqués par des perles de soudure fissurées 42 du fait de contraintes excessives induites par des différences de coefficient de dilatation thermique du premier anneau d'étanchéité 44, du matériau d'enrobage 48 et du substrat 32. Dans tous les cas, les anneaux d'étanchéité 44 et 46 empêchent la pénétration de matériau d'enrobage 48 sur la zone 22 de
20 capteurs.

Le premier anneau d'étanchéité 44 encapsule la portion extérieure de la zone d'interface 40, tandis que le deuxième anneau d'étanchéité 46 encapsule la portion intérieure de la zone d'interface 40. Le premier anneau d'étanchéité 44 comprend de préférence un matériau de
25 barrage de retenue non coulant, de grande pureté à base d'époxy thixotrope caractérisé par une température de transition vitreuse élevée avec un faible coefficient de dilatation thermique et d'excellentes performances vis-à-vis des chocs/cycles thermiques. Le deuxième anneau d'étanchéité 46 comprend de préférence un matériau de remplissage très coulant et de
30 grande pureté caractérisé par un faible coefficient de dilatation thermique et d'excellentes performances vis-à-vis des chocs/cycles thermiques. Si l'on n'utilise qu'un seul anneau d'étanchéité, celui-ci devrait comprendre un matériau de barrage de retenue non coulant, de grande pureté à base d'époxy thixotrope caractérisé par une température de transition vitreuse
35 élevée avec un faible coefficient de dilatation thermique et d'excellentes

performances vis-à-vis des chocs/cycles thermiques.

La surface inférieure du substrat 32 et la surface inférieure de la puce de semi-conducteur 20 sont encapsulées à l'aide d'un matériau d'enrobage 48. Le matériau d'enrobage 48 comprend de préférence un
5 matériau d'encapsulation de grande pureté à base d'époxy thixotrope caractérisé par un faible coefficient de dilatation thermique et d'excellentes performances vis-à-vis des chocs/cycles thermiques.

Si l'on se réfère à présent aux figures 4A-4D, le procédé de fabrication du boîtier illustré aux figures 2 et 3 va être décrit. Comme le
10 comprendront aisément les hommes compétents dans l'art, l'ordre de certaines des étapes décrites ci-dessous peut être modifié, ou certaines étapes peuvent être combinées en une seule étape pour produire un dispositif équivalent. Par conséquent, la présente invention n'est pas strictement limitée par l'ordre décrit ou illustré dans les figures suivantes.

15 Etape un (figure 4A): la surface supérieure de la puce de semi-conducteur 20 est fixée à la surface inférieure du porte-puce ou du substrat 32 de telle sorte que la zone 22 de capteurs contenant le ou les capteurs dans la surface supérieure de la puce de semi-conducteur 20 soit disposée sous l'ouverture 34 dans le substrat 32. L'ouverture 34 est plus grande que
20 la zone 22 de capteurs, mais plus petite que la puce de semi-conducteur 20. Une zone d'interface annulaire 40 (figure 3) est formée, dans laquelle la surface supérieure de la puce de semi-conducteur 20 se prolonge au-delà de l'ouverture 34 dans le substrat 32. Chaque plage de connexion 24 (figure 2) est couplée à l'une des bornes externes 36 (figure 2) qui sont
25 exposées sur la surface inférieure du substrat 32, à l'aide d'une perle de soudure 42. L'ensemble (substrat 32 et puce de semi-conducteur 20) est alors durci.

30 Etape deux (figure 4B): la portion extérieure 50 de la zone d'interface 40 (figure 3) est encapsulée à l'aide du premier anneau d'étanchéité 44. Le premier anneau d'étanchéité est alors durci.

Etape trois (figure 4C): la surface inférieure du substrat 32 et la surface inférieure de la puce de semi-conducteur 20 sont encapsulées à l'aide d'un matériau d'enrobage 48. Le matériau d'enrobage 48 est alors durci.

35 Etape quatre (figure 4D): la portion intérieure 52 de la zone

d'interface 40 (figure 3) est encapsulée à l'aide d'un deuxième anneau d'étanchéité 46. Le deuxième anneau d'étanchéité est alors durci. On notera que les premier et deuxième anneaux d'étanchéité 44 et 46 peuvent être combinés en un seul et unique anneau d'étanchéité qui encapsule la zone d'interface 40 (figure 3), en éliminant ainsi l'étape quatre.

Etape cinq (figure 3): la couche protectrice 38 est formée sur le dessus de la zone 22 de capteurs et les bornes externes 36 sont formées. Une lentille ou un filtre peuvent être également installés dans ou au-dessus de l'ouverture 34 (figures 2 et 4A). Le boîtier est alors de préférence nettoyé.

Si l'on se réfère à présent aux figures 5A-5F, le procédé de fabrication d'un boîtier conformément à un deuxième mode de réalisation de la présente invention va être décrit. Dans ce mode de réalisation, un cadre préimprimé 60 est utilisé en tant que porte-puce, au lieu du substrat 32 aux figures 2-4D. Les cadres préimprimés 60 sont bien connus des hommes compétents dans l'art et contiennent typiquement une ou plusieurs sorties par fils obtenues par photogravure et estampées (non illustrées) et de trous d'alignement de cadre (non illustrés).

Etape un (figure 5A): la surface supérieure de la puce de semi-conducteur 20 est fixée à la surface inférieure du porte-puce ou du cadre préimprimé 60 de telle sorte que la zone 22 de capteurs contenant le ou les capteurs dans la surface supérieure de la puce de semi-conducteur 20 soit disposée sous la première ouverture 34 dans le cadre préimprimé 60. La première ouverture 34 est plus grande que la zone 22 de capteurs, mais plus petite que la puce de semi-conducteur 20. Une zone d'interface anulaire 66 (figure 5D) est formée, dans laquelle la surface supérieure de la puce de semi-conducteur 20 se prolonge au-delà de l'ouverture 34 dans le cadre préimprimé 60. Chaque plage de connexion 24 (figures 1A, 1B ou 1C) est couplée à l'une des bornes externes ou sorties par fils 74 (figure 5F) exposées sur la surface inférieure du cadre préimprimé 60, à l'aide d'une perle de soudure 42. L'ensemble (cadre préimprimé 60 et puce de semi-conducteur 20) est alors durci.

Etape deux (figure 5B): la portion extérieure 62 de la zone d'interface 66 (figure 5D) est encapsulée à l'aide du premier anneau d'étanchéité 44. Le premier anneau d'étanchéité est alors durci.

Etape trois (figure 5C): la portion intérieure 64 de la zone d'interface 66 (figure 5D) est encapsulée à l'aide d'un deuxième anneau d'étanchéité 46. Le deuxième anneau d'étanchéité est alors durci. On notera que les premier et deuxième anneaux d'étanchéité 44 et 46 peuvent
5 être combinés en un seul et unique anneau d'étanchéité qui encapsule la zone d'interface 66 (figure 5D), pour éliminer ainsi l'étape trois.

Etape quatre (figure 5D): un couvercle 68 est fixé à la surface supérieure du cadre préimprimé 60 à l'aide d'un adhésif 70, comme un adhésif polymide. Le couvercle 68 présente une deuxième ouverture 72 de
10 taille similaire à la première ouverture 34 dans le cadre préimprimé 60. Le couvercle 68 renforce la résistance et la stabilité mécaniques du boîtier. L'ensemble est alors durci.

Etape cinq (figure 5E): la surface inférieure du cadre préimprimé 60 et la surface inférieure de la puce de semi-conducteur 20 sont encapsulées et le couvercle 68 est substantiellement encapsulé à l'aide d'un matériau d'enrobage 48. Le matériau d'enrobage 48 est alors durci.
15

Etape six (figure 5E): la couche protectrice 38 est formée sur la zone 22 de capteurs et les bornes externes ou sorties par fils 74 sont coupées et mises en forme. Une lentille ou un filtre peuvent être également
20 installés dans ou au-dessus de la première ouverture 34 ou de la deuxième ouverture 72 (figure 5D). Le boîtier est alors de préférence durci.

Si l'on se réfère à présent aux figures 6A-6F, le procédé de fabrication d'un boîtier conformément à un troisième mode de réalisation de la présente invention va être décrit. Dans ce mode de réalisation, à l'instar des figures 5A-5F, un cadre préimprimé 80 est utilisé en tant que porte-puce. Ce cadre préimprimé 80 ne présente toutefois pas de première
25 ouverture 34 (figure 5D). Au lieu de cela, le cadre préimprimé 80 présente une zone en retrait 82 plus grande que la puce de semi-conducteur 20. Cette configuration procure un boîtier extra-plat.
30

Etape un (figure 6A): la surface inférieure de la puce de semi-conducteur 20 est fixée à la surface supérieure de la zone en retrait 82 du cadre préimprimé 80 à l'aide d'un adhésif 84, comme un adhésif polymide. L'ensemble (cadre préimprimé 80 et puce de semi-conducteur 20) est alors durci.
35

Etapes deux et trois (figure 6B): un barrage 86 est formé de façon à entourer la zone en retrait 82 et empêcher que le matériau d'enrobage 48 (figure 6E) ne pénètre dans la zone en retrait 82 et la puce de semi-conducteur 20. Le barrage est alors durci. Des connexions par fils 88 sont
5 formées pour coupler chaque plage de connexion 24 (figures 1A, 1B et 1C) à une portion d'une des sorties par fils 98 (figure 6F) proche de la zone en retrait 82. La connexion par fils est bien connue des hommes compétents dans l'art.

Etape quatre (figure 6C): un couvercle 90 est fixé à la surface
10 supérieure du cadre préimprimé 80 à l'aide d'un adhésif 84, comme un adhésif polymide. Le couvercle 90 présente une ouverture 92 au-dessus de la portion de chacune des bornes extérieures 94 proche de la zone en retrait 82, du barrage 86 entourant la zone en retrait 82 et de la zone en retrait 82. Le couvercle 68 renforce la résistance et la stabilité mécaniques du
15 boîtier. L'ensemble est alors durci.

Etape cinq (figure 6D): les connexions par fils 88 sont encapsulées à l'aide d'un matériau d'étanchéité 96. Le matériau d'étanchéité 96 est alors durci.

Etape six (figure 6E): la surface inférieure du cadre préimprimé
20 80, du barrage 86 et de la zone en retrait 82 est encapsulée et le couvercle 90 est substantiellement encapsulé à l'aide d'un matériau d'enrobage 48. Le matériau d'enrobage 48 est alors durci.

Etape sept (figure 6F): la couche protectrice 38 est formée sur la zone 22 de capteurs et les bornes extérieures ou sorties par fils 98 sont
25 coupées et mises en forme. Une lentille ou un filtre peuvent également être installés dans ou au-dessus de l'ouverture 92 (figure 6C). Le boîtier est alors de préférence nettoyé.

Bien que des modes de réalisation préférés de l'invention aient été décrits en détail, les hommes compétents dans l'art comprendront que
30 diverses modifications peuvent y être apportées sans s'écarter pour autant de l'esprit et du cadre de l'invention présentés dans les revendications annexées.

REVENDICATIONS

1. Procédé de mise en boîtier d'une puce de semi-conducteur, caractérisé par le fait qu'il comprend les étapes de:

5 fixation d'une surface d'une puce de semi-conducteur (20) sur une surface d'un porte-puce (32) présentant des bornes ou connexions externes de sortie (36, 74), de telle sorte que ce porte-puce ne s'étendent pas devant un ou plusieurs capteurs (22) prévus dans la surface supérieure de la puce de semi-conducteur et qu'une ou plusieurs plages de connexion (24) sur la surface supérieure de la puce de semi-conducteur soient
10 couplées à une ou de plusieurs plages de connexion dudit porte-puce, dans une zone d'interface annulaire (40) formée entre la surface supérieure de la puce de semi-conducteur et une surface dudit porte-puce ;

encapsulation de ladite zone d'interface (40) à l'aide d'un anneau d'étanchéité (44, 96) ; et

15 encapsulation de la surface inférieure du porte-puce et une surface inférieure de la puce de semi-conducteur à l'aide d'un matériau d'enrobage (48).

2. Procédé selon la revendication 1, caractérisé par le fait qu'il comprend les étapes de:

20 fixation d'une surface supérieure d'une puce de semi-conducteur (20) sur une surface inférieure d'un porte-puce (32) de telle sorte qu'un ou plusieurs capteurs dans la surface supérieure de la puce de semi-conducteur soient disposés sous une première ouverture (34) dans le porte-puce plus grande que le ou les capteurs, mais plus petite que la puce de semi-conducteur, et qu'une zone d'interface (40) soit formée entre
25 ladite puce et ledit porte-puce, dans laquelle la surface supérieure de la puce de semi-conducteur se prolonge au-delà de la première ouverture dans le porte-puce et qu'une ou plusieurs plages de connexion sur la surface supérieure de la puce de semi-conducteur soient couplées à une ou
30 de plusieurs bornes extérieures de la surface inférieure du porte-puce ;

durcissement de la puce de semi-conducteur fixée au porte-puce ;

encapsulation de la zone d'interface (40) à l'aide d'un anneau d'étanchéité (44) ;

durcissement de l'anneau d'étanchéité ;

encapsulation de la surface inférieure du porte-puce et une surface inférieure de la puce de semi-conducteur à l'aide d'un matériau d'enrobage (48) ; et

5 durcissement du matériau d'enrobage.

3. Procédé selon la revendication 2, caractérisé par le fait qu'il comprend les étapes de:

encapsulation de la portion extérieure de la zone d'interface à l'aide d'un premier anneau d'étanchéité (44) ;

10 durcissement du premier anneau d'étanchéité ;

encapsulation de la surface inférieure du porte-puce et une surface inférieure de la puce de semi-conducteur à l'aide d'un matériau d'enrobage (48) ;

durcissement du matériau d'enrobage ;

15 encapsulation d'une portion intérieure de la zone d'interface à l'aide d'un deuxième anneau d'étanchéité (46) ; et

durcissement du deuxième anneau d'étanchéité.

4. Procédé selon la revendication 1, caractérisé par le fait qu'il comprend les étapes de:

20 fixation d'une surface inférieure d'une puce de semi-conducteur (20) sur une surface supérieure d'une zone en retrait (82) d'un cadre préimprimé, la zone en retrait étant plus grande que la puce de semi-conducteur, la puce de semi-conducteur présentant une ou plusieurs plages de connexion sur une surface supérieure en vue de procurer des bornes à un ou plusieurs capteurs dans la surface supérieure, et le cadre préimprimé présentant une ou plusieurs sorties par fils ;

25 durcissement de la puce de semi-conducteur fixée au cadre préimprimé ;

30 formation d'un barrage (86) pour entourer la zone en retrait afin d'empêcher qu'un matériau d'enrobage (48) ne pénètre dans la zone en retrait ;

durcissement du barrage ;

35 formation de connexions par fils (88) en vue de coupler chaque plage de connexion à une portion d'une des sorties par fils proche de la zone en retrait ;

encapsulation des connexions par fils à l'aide d'un anneau d'étanchéité (96) ;

durcissement du matériau d'étanchéité ;

5 encapsulation de la surface inférieure du cadre préimprimé à l'aide du matériau d'enrobage (48) ; et

durcissement du matériau d'enrobage.

10 5. Procédé selon l'une quelconque des revendications précédentes, caractérisé par le fait qu'il comprend en outre l'étape d'application d'une couche protectrice (38) sur le ou les capteurs de la puce de semi-conducteur.

6. Procédé selon l'une quelconque des revendications précédentes, caractérisé par le fait qu'il comprend en outre :

15 la fixation d'un couvercle (68, 90) présentant une deuxième ouverture plus grande que les capteurs de la puce de semi-conducteur, le couvercle étant attaché à la surface supérieure du porte-puce ; et

l'encapsulation substantielle du couvercle à l'aide du matériau d'enrobage.

7. Boîtier pour puce de semi-conducteur, caractérisé par le fait qu'il comprend

20 une puce de semi-conducteur (20) présentant une ou plusieurs plages de connexion sur une surface supérieure en vue de fournir des bornes à un ou plusieurs capteurs (22), en particulier optiques, prévus dans cette surface supérieure ;

25 un porte-puce (32) qui ne s'étend pas devant lesdits capteurs et qui est muni d'une ou plusieurs plages de connexion comprenant des bornes de connexion et muni de connexions externes de sortie, les plages de connexion dudit porte-puce et les plages de connexion de ladite puce déterminant entre elles une zone d'interface annulaire (40) et étant couplées dans cette zone ;

30 un anneau d'étanchéité (44, 96) encapsulant ladite zone d'interface (40) ; et

un matériau d'enrobage (48) encapsulant la surface inférieure du porte-puce et une surface inférieure de la puce de semi-conducteur.

35 8. Boîtier selon la revendication 7, caractérisé par le fait qu'il comprend :

un porte-puce (32) présentant une première ouverture (34) qui est plus grande que le ou les capteurs, mais plus petite que la puce de semi-conducteur, et une ou plusieurs bornes extérieures ; la surface supérieure de la puce de semi-conducteur étant fixée à la surface inférieure du porte-puce de telle sorte que le ou les capteurs soient disposés sous la première ouverture et qu'une zone d'interface (40) soit formée, dans laquelle la surface supérieure de la puce de semi-conducteur se prolonge au-delà de la première ouverture dans le porte-puce et que chaque plage de connexion soit couplée à une portion d'une des bornes extérieures exposée sur la surface inférieure du porte-puce ;

un anneau d'étanchéité (44) encapsulant la zone d'interface (40) ; et

un matériau d'enrobage (48) encapsulant la surface inférieure du porte-puce et une surface inférieure de la puce de semi-conducteur.

9. Boîtier selon la revendication 8, caractérisé par le fait que l'anneau d'étanchéité comprend un premier anneau d'étanchéité extérieur (44) et un deuxième anneau d'étanchéité intérieur (46).

10. Boîtier selon l'une des revendications 8 et 9, caractérisé par le fait que chaque plage de connexion est couplée à une des plages extérieures de la surface inférieure du porte-puce, à l'aide d'une perle de soudure (42).

11. Boîtier selon l'une des revendications 8 à 10, caractérisé par le fait que le porte-puce comprend un substrat et chaque borne externe comprend une plage de connexion (36) formée sur une surface supérieure du substrat.

12. Boîtier selon l'une quelconque des revendications 7 à 10, caractérisé par le fait que le porte-puce comprend un cadre préimprimé (60) et chaque borne externe comprend une sortie par fil (74).

13. Boîtier selon la revendication 7, caractérisé par le fait qu'il comprend :

un cadre préimprimé (80) présentant une zone en retrait (82) qui est plus grande que la puce de semi-conducteur et une ou plusieurs sorties par fils ; une surface inférieure de la puce de semi-conducteur étant fixée à une surface supérieure de la zone en retrait du cadre préimprimé ;

une connexion par fil (88) couplant chaque plage de connexion à

une portion d'une des bornes extérieures proche de la zone en retrait ;
un barrage (86) entourant la zone en retrait afin d'empêcher
qu'un matériau d'enrobage (48) ne pénètre dans la zone en retrait ;
un matériau d'étanchéité (96) encapsulant chaque connexion par
5 fil ; et

un matériau d'enrobage (48) encapsulant la surface inférieure du
cadre préimprimé.

14. Boîtier selon l'une des revendications 12 et 13, caractérisé
par le fait qu'il comprend en outre un couvercle (68, 90) présentant une
10 deuxième ouverture de taille similaire à la première ouverture, le
couvercle étant fixé à la surface supérieure du cadre préimprimé à fils et le
matériau d'enrobage encapsulant substantiellement ce couvercle.

15. Boîtier selon l'une quelconque des revendications 8 à 14,
caractérisé par le fait que ledit anneau d'étanchéité et/ou ledit matériau
15 d'enrobage comprennent un matériau à base d'époxy thixotrope.

16. Boîtier selon l'une quelconque des revendications 8 à 15
caractérisé par le fait que le ou les capteurs sont recouverts d'une couche
protectrice (38).

17. Boîtier selon l'une quelconque des revendications 8 à 16,
20 caractérisé par le fait qu'il comprend en outre un matériau d'encapsulation
transparent dans la première ouverture et sur la surface supérieure de la
puce de semi-conducteur.

18. Boîtier selon l'une quelconque des revendications 8 à 17,
caractérisé par le fait qu'il comprend en outre une lentille disposée au-
25 dessus du ou des capteurs.

19. Boîtier selon la revendication 14, caractérisé par le fait que
le couvercle est fixé au cadre préimprimé à l'aide d'un adhésif polymide.

1/4

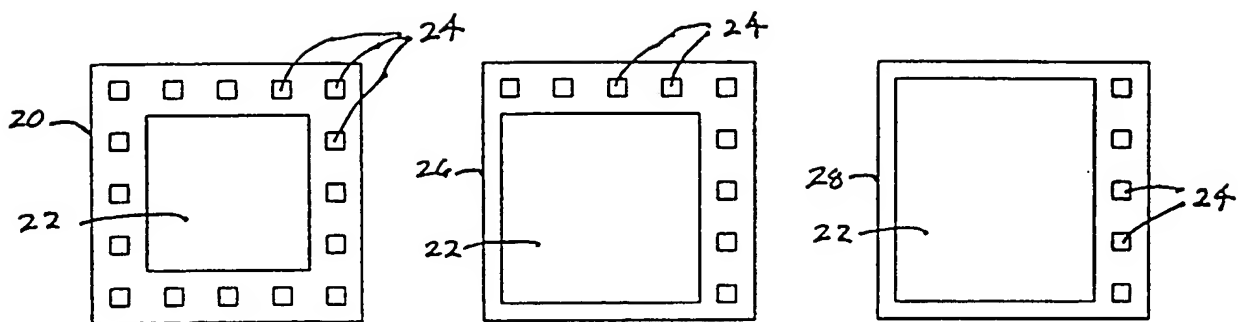


FIG. 1A

FIG. 1B

FIG. 1C

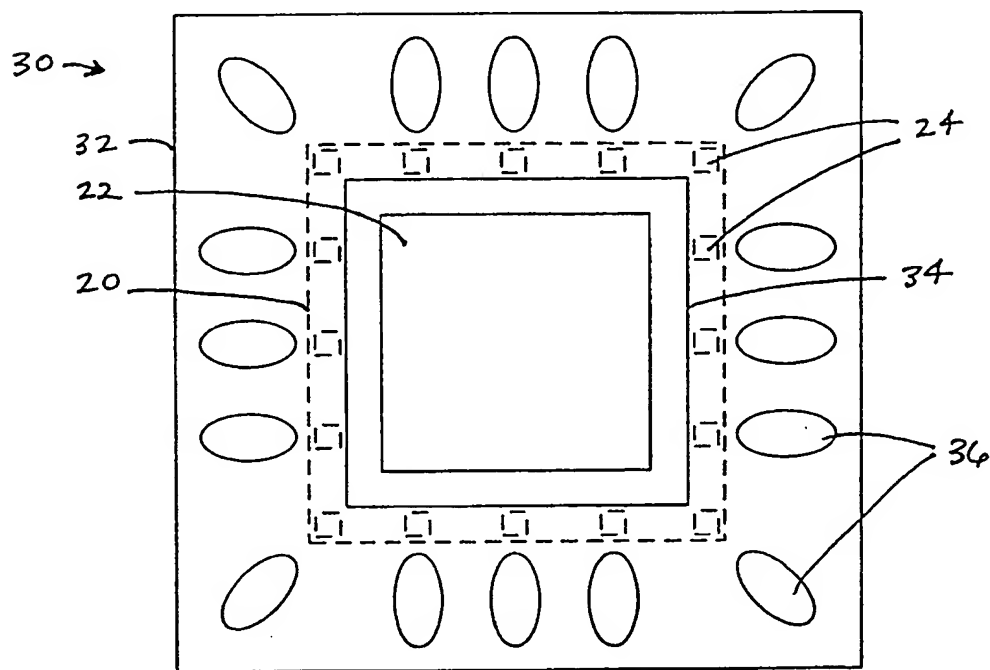


FIG. 2

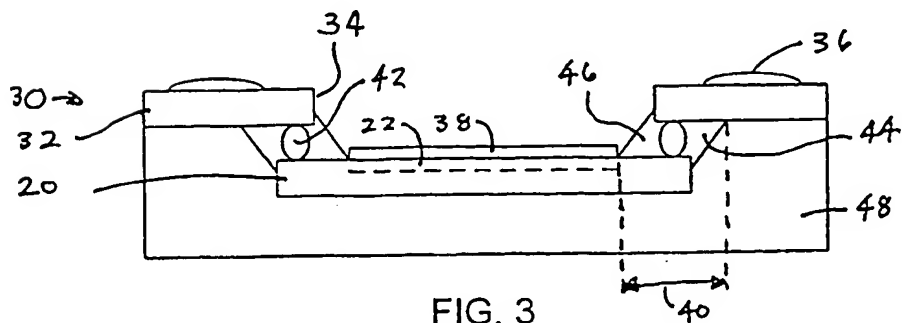


FIG. 3

2/4

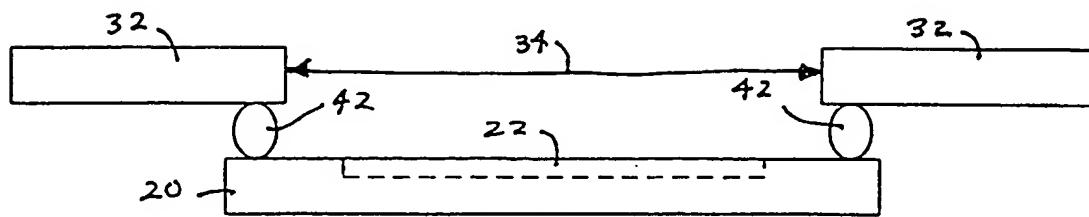


FIG. 4A

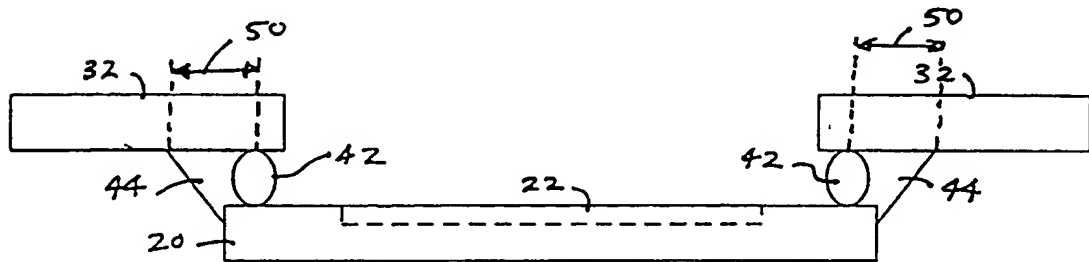


FIG. 4B

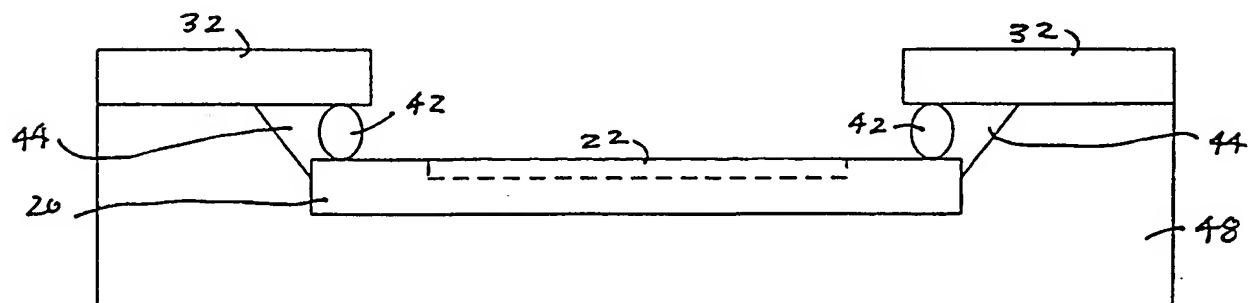


FIG. 4C

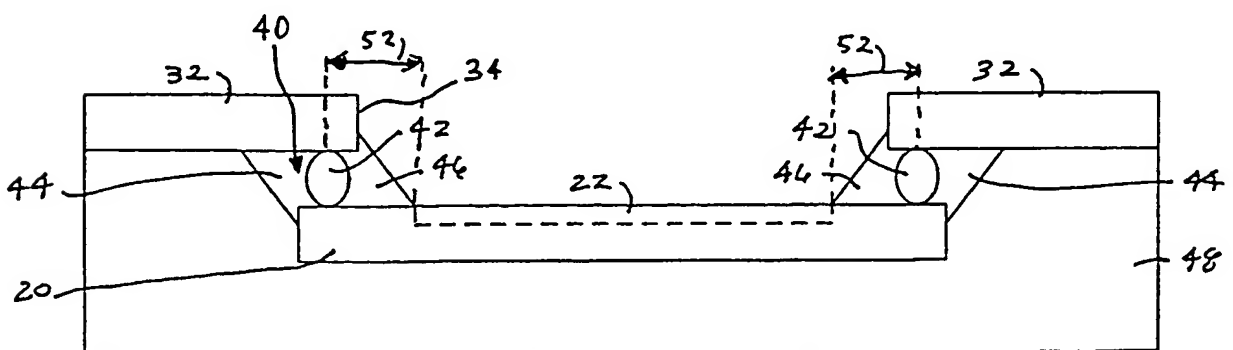


FIG. 4D

3/4

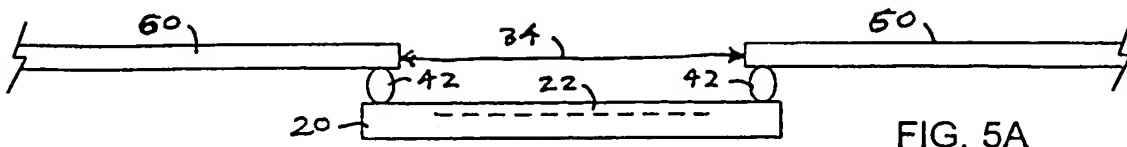


FIG. 5A

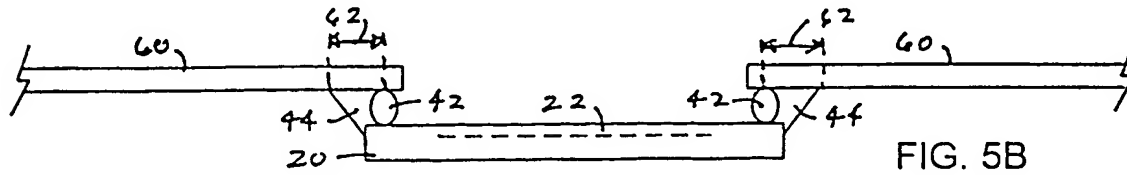


FIG. 5B

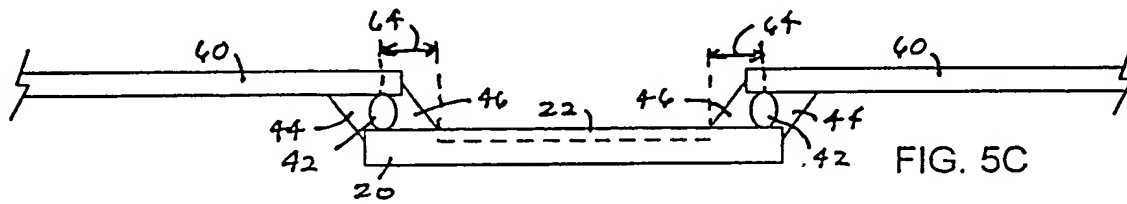


FIG. 5C

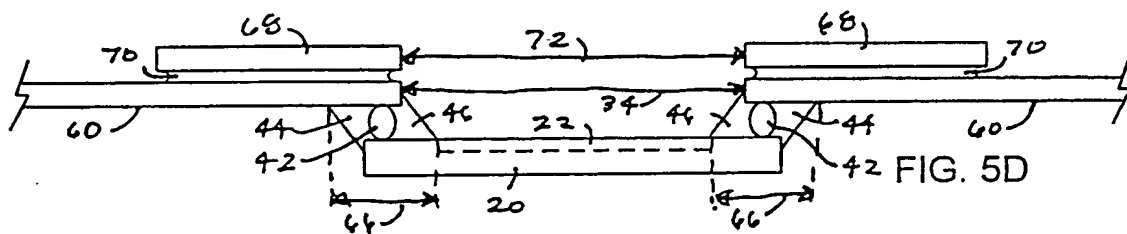


FIG. 5D

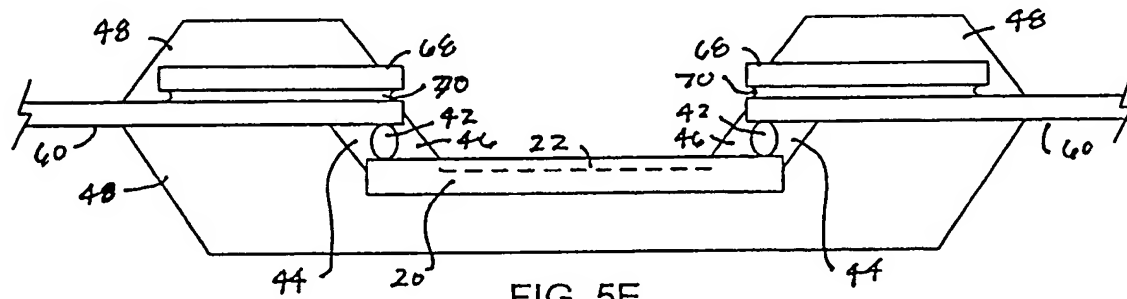


FIG. 5E

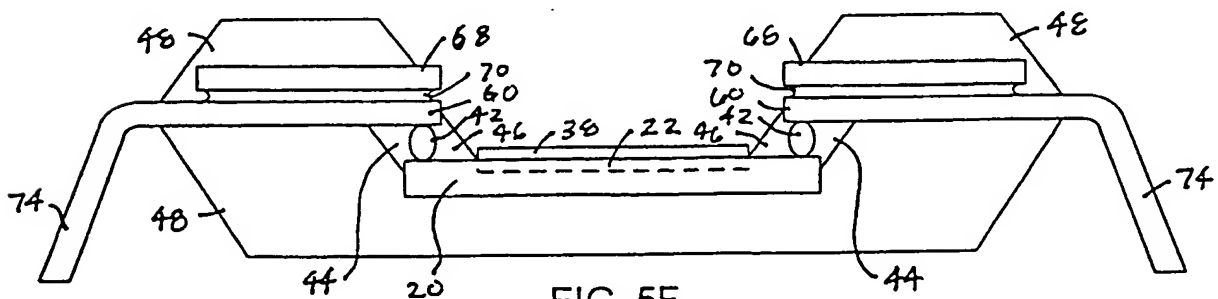


FIG. 5F

4/4

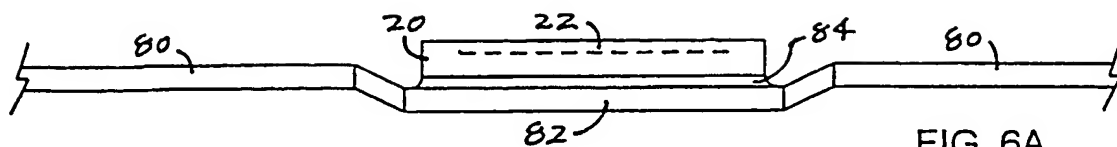


FIG. 6A

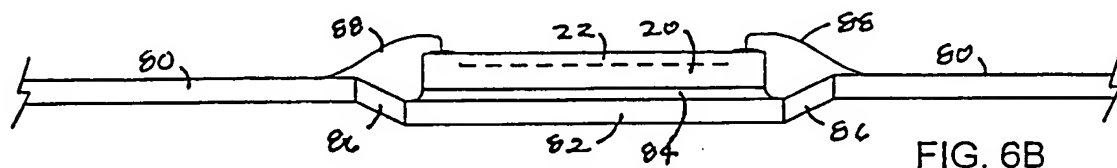


FIG. 6B

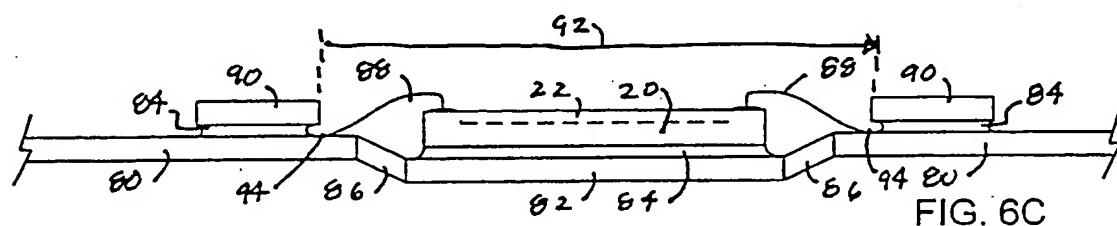


FIG. 6C

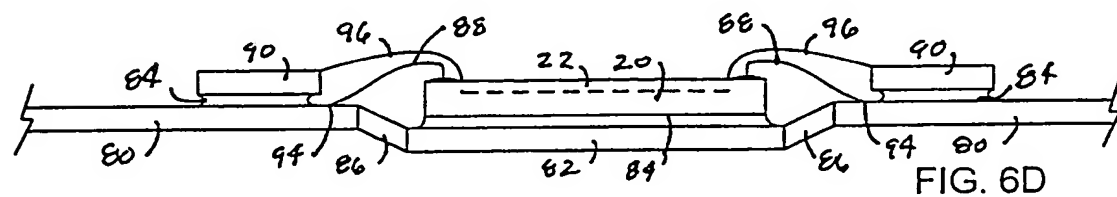


FIG. 6D

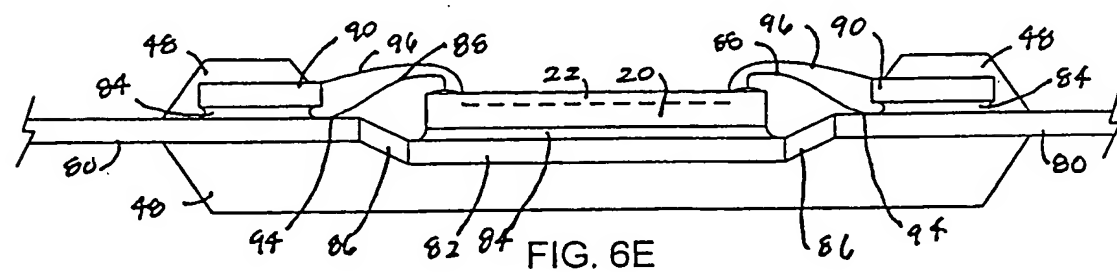


FIG. 6E

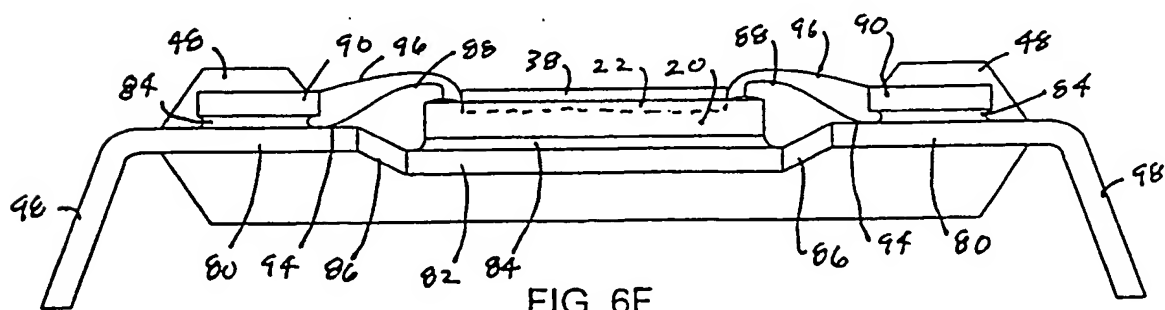


FIG. 6F

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 00/02367

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L31/0203 H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 99 13516 A (AMKOR TECHNOLOGY INC) 18 March 1999 (1999-03-18) page 3, line 1 -page 5, line 4 page 7, line 20 -page 14, line 11; claims 1,9,11; figures 1-3,5 ---	1,2, 6-12,14, 15,19
A	PATENT ABSTRACTS OF JAPAN vol. 012, no. 314 (E-649), 25 August 1988 (1988-08-25) & JP 63 078557 A (HITACHI LTD), 8 April 1988 (1988-04-08) abstract ---	1,4,5,7, 8,11-13, 16,17
A	EP 0 682 374 A (EURATEC BV) 15 November 1995 (1995-11-15) the whole document. ---	1,4,5,7, 8,11-13, 16,17
-/--		

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

16 October 2000

Date of mailing of the international search report

23/10/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040. Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Visentin, A

INTERNATIONAL SEARCH REPORT

Inter- national Application No

PCT/FR 00/02367

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 790 652 A (MATSUSHITA ELECTRONICS CORP) 20 August 1997 (1997-08-20) the whole document ---	1-4, 7, 8, 11-13
A	US 5 773 323 A (HUR KI-ROK) 30 June 1998 (1998-06-30) the whole document ---	1, 4, 5, 7, 8, 11, 13, 14
A	EP 0 630 056 A (KABUSHIKI KAISHA TOSHIBA) 21 December 1994 (1994-12-21) -----	

INTERNATIONAL SEARCH REPORT

...information on patent family members

International Application No

PCT/FR 00/02367

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 9913516 A	18-03-1999	US 5867368 A US 5949655 A EP 1021837 A	02-02-1999 07-09-1999 26-07-2000
JP 63078557 A	08-04-1988	NONE	
EP 0682374 A	15-11-1995	NL 9400766 A AT 162011 T DE 69501361 D DE 69501361 T DK 682374 T ES 2110811 T GR 3026168 T JP 7307359 A SI 682374 T US 5863810 A	01-12-1995 15-01-1998 12-02-1998 07-05-1998 04-05-1998 16-02-1998 29-05-1998 21-11-1995 30-06-1998 26-01-1999
EP 0790652 A	20-08-1997	US 5952714 A CN 1192289 A WO 9705660 A	14-09-1999 02-09-1998 13-02-1997
US 5773323 A	30-06-1998	KR 148733 B JP 8306899 A	01-08-1998 22-11-1996
EP 0630056 A	21-12-1994	DE 69408558 D DE 69408558 T JP 7099214 A KR 172142 B US 5506401 A US 5786589 A	26-03-1998 23-07-1998 11-04-1995 30-03-1999 09-04-1996 28-07-1998

RAPPORT DE RECHERCHE INTERNATIONALE

Dem Internationale No

PCT/FR 00/02367

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H01L31/0203 H01L33/00

Selon la classification internationale des brevets (CIB) ou a la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal, PAJ, WPI Data

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	WO 99 13516 A (AMKOR TECHNOLOGY INC) 18 mars 1999 (1999-03-18) page 3, ligne 1 -page 5, ligne 4 page 7, ligne 20 -page 14, ligne 11; revendications 1,9,11; figures 1-3,5	1,2, 6-12,14, 15,19
A	PATENT ABSTRACTS OF JAPAN vol. 012, no. 314 (E-649), 25 août 1988 (1988-08-25) & JP 63 078557 A (HITACHI LTD), 8 avril 1988 (1988-04-08) abrégé	1,4,5,7, 8,11-13, 16,17
A	EP 0 682 374 A (EURATEC BV) 15 novembre 1995 (1995-11-15) le document en entier	1,4,5,7, 8,11-13, 16,17
-/--		

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

T document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

X document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

Y document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

& document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

16 octobre 2000

Date d'expédition du présent rapport de recherche internationale

23/10/2000

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040. Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Visentin, A

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 0 790 652 A (MATSUSHITA ELECTRONICS CORP) 20 août 1997 (1997-08-20) le document en entier ---	1-4, 7, 8, 11-13
A	US 5 773 323 A (HUR KI-ROK) 30 juin 1998 (1998-06-30) le document en entier ---	1, 4, 5, 7, 8, 11, 13, 14
A	EP 0 630 056 A (KABUSHIKI KAISHA TOSHIBA) 21 décembre 1994 (1994-12-21) -----	

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Derr : Internationale No

PCT/FR 00/02367

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 9913516 A	18-03-1999	US 5867368 A US 5949655 A EP 1021837 A	02-02-1999 07-09-1999 26-07-2000
JP 63078557 A	08-04-1988	AUCUN	
EP 0682374 A	15-11-1995	NL 9400766 A AT 162011 T DE 69501361 D DE 69501361 T DK 682374 T ES 2110811 T GR 3026168 T JP 7307359 A SI 682374 T US 5863810 A	01-12-1995 15-01-1998 12-02-1998 07-05-1998 04-05-1998 16-02-1998 29-05-1998 21-11-1995 30-06-1998 26-01-1999
EP 0790652 A	20-08-1997	US 5952714 A CN 1192289 A WO 9705660 A	14-09-1999 02-09-1998 13-02-1997
US 5773323 A	30-06-1998	KR 148733 B JP 8306899 A	01-08-1998 22-11-1996
EP 0630056 A	21-12-1994	DE 69408558 D DE 69408558 T JP 7099214 A KR 172142 B US 5506401 A US 5786589 A	26-03-1998 23-07-1998 11-04-1995 30-03-1999 09-04-1996 28-07-1998